

Pracownia Konstrukcji i Eksploatacji Urządzeń Cyfrowych
Badanie układów cyfrowych

Badanie układów sekwencyjnych

1. Badanie przerzutników bistabilnych
2. Badanie scalonych liczników asynchronicznych i synchronicznych
3. Badanie rejestrów scalonych

Sprawozdania wykonał:.....

Klasa:.....

opracowała:
mgr inż. Irena Hoja

rok szk. 2015 / 2016

1. Wprowadzenie

W technice cyfrowej ważną grupę układów stanowią układy sekwencyjne. **Układ sekwencyjny** jest to układ, w którym stan na wyjściu zależy od aktualnego stanu wejść oraz od stanów wejść poprzedzających aktualny stan wejść.

- Najprostszym układem sekwencyjnym jest **przerzutnik bistabilny** (każdy stan na wyjściu, w którym ten przerzutnik pozostaje jest stanem stabilnym. Przejście do stanu przeciwnego następuje po zmianie sygnałów wejściowych).
Przerzutnik pamięta jeden bit informacji.
- **Przerzutniki bistabilne** dzielą się na:
 - **przerzutniki asynchroniczne RS, \overline{RS}** – są to przerzutniki, w których zmiana wartości informacji na wejściach wywołuje bezpośrednio zmianę wartości zmiennych wyjściowych.
 - **przerzutniki synchroniczne JK, D, T, RS** – są to przerzutniki, które zmieniają swój stan w momencie wystąpienia impulsu taktującego na wejściu zegarowym. Stan wyjścia zależy od wartości logicznej sygnałów na wejściach informacyjnych właśnie w tym momencie

Z przerzutników i bramek buduje się bloki sekwencyjne. Podstawowe bloki sekwencyjne to:

- liczniki,
- dzielniki częstotliwości oraz
- rejestry.

Licznikiem nazywamy układ cyfrowy służący do zliczania i pamiętania impulsów pojawiających się na jego wejściu zwanym wejściem zliczającym.

Rejestr jest to układ służący do przechowywania i odtwarzania informacji cyfrowej

2. Cel ćwiczeń

Celem ćwiczeń jest:

- poznanie właściwości przerzutników asynchronicznych RS
- poznanie właściwości przerzutników synchronicznych D, JK, T oraz sposobów ich wyzwalania,
- zapoznanie uczniów z zastosowaniem przerzutników,
- poznanie zasady działania licznika asynchronicznego (szeregowego) i licznika synchronicznego (równoległego),
- przedstawienie podstawowych rozwiązań scalonych liczników asynchronicznych i synchronicznych oraz wykorzystanie ich do budowy programowalnych liczników **modulo N** i dzielników częstotliwości,
- przedstawienie podstawowych rozwiązań rejestrów scalonych, w tym szczególnie rejestrów uniwersalnych oraz ich zastosowań.

3. Literatura

3.1 Głocki W.: Układy cyfrowe, WSiP – 1998,

3.2 Głocki W., Grabowski L.: Pracownia podstaw techniki cyfrowej, WSiP – 1998.

3.3 Prezentacje:

- http://zsl.gda.pl/~ihoja/Pracownia_konstr_ekspl_kl3_2014/uklady_sekwencyjne/Przerzutniki.ppt
- http://zsl.gda.pl/~ihoja/Pracownia_konstr_ekspl_kl3_2014/uklady_sekwencyjne/liczniki.ppt
- http://zsl.gda.pl/~ihoja/Pracownia_konstr_ekspl_kl3_2014/uklady_sekwencyjne/rejestry

Imię i nazwisko:	Klasa:	Stanowisko:	Nr w dzienniku:
Skład grupy:.....			
Temat ćwiczenia: Badanie przerzutników bistabilnych		Data:	
Przygotowanie do ćwiczenia	Wykonanie ćwiczenia	Sprawozdanie z ćwiczenia	
Pkt.:	Pkt.:	Pkt.:	
Suma punktów:			
Ocena z przeprowadzonego ćwiczenia:		Podpis nauczyciela:	

Przypomniano o stosowaniu zasad bezpiecznej pracy i przestrzeganiu instrukcji BHiP.

Zestaw przyrządów:

.....

1. Cel ćwiczenia

Celem ćwiczenia jest poznanie właściwości przerzutników asynchronicznych RS i przerzutników synchronicznych D, JK, T, sposobów ich wyzwalania oraz ich zastosowania do realizacji liczników i rejestrów.

2. Wstęp teoretyczny

- Podaj definicję układu sekwencyjnego

.....

.....

.....

- Podaj definicję przerzutnika bistabilnego

.....

.....

- Czym charakteryzuje się przerzutnik asynchroniczny i przerzutnik synchroniczny

.....

.....

.....

.....

.....

- Wymień przerzutniki asynchroniczne i synchroniczne

Przerzutniki asynchroniczne:

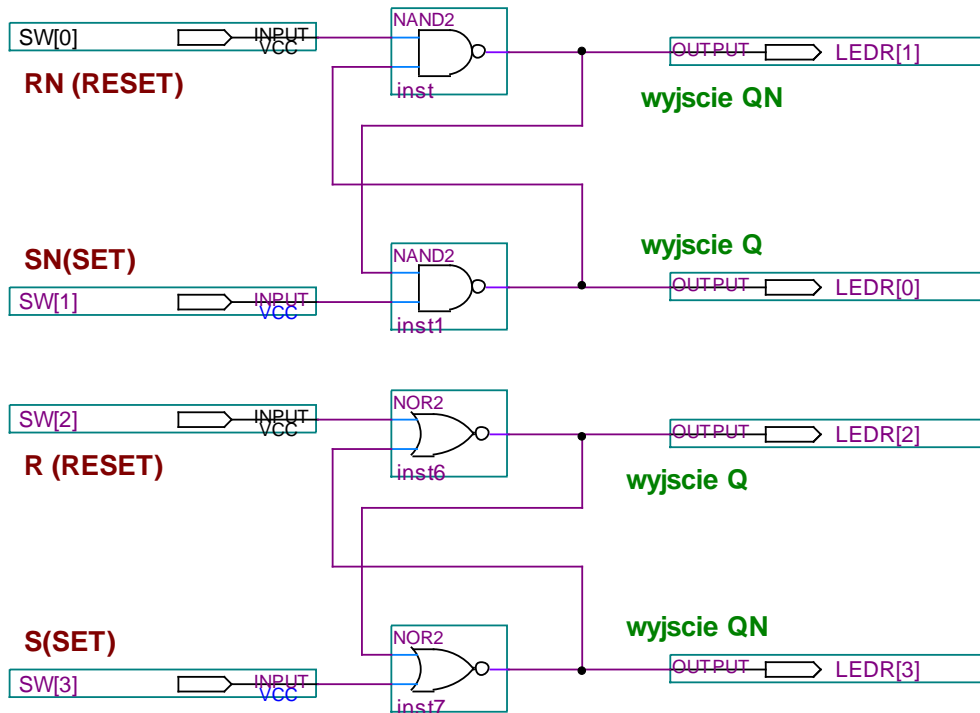
Przerzutniki synchroniczne

3. Zadania pomiarowe

3.1. Zaimplementuj w układzie FPGA podstawowe przerzutniki bistabilne i przeprowadź badania tych przerzutników. Projekt nazwij *nr1_nr2_kl_P_BIST*

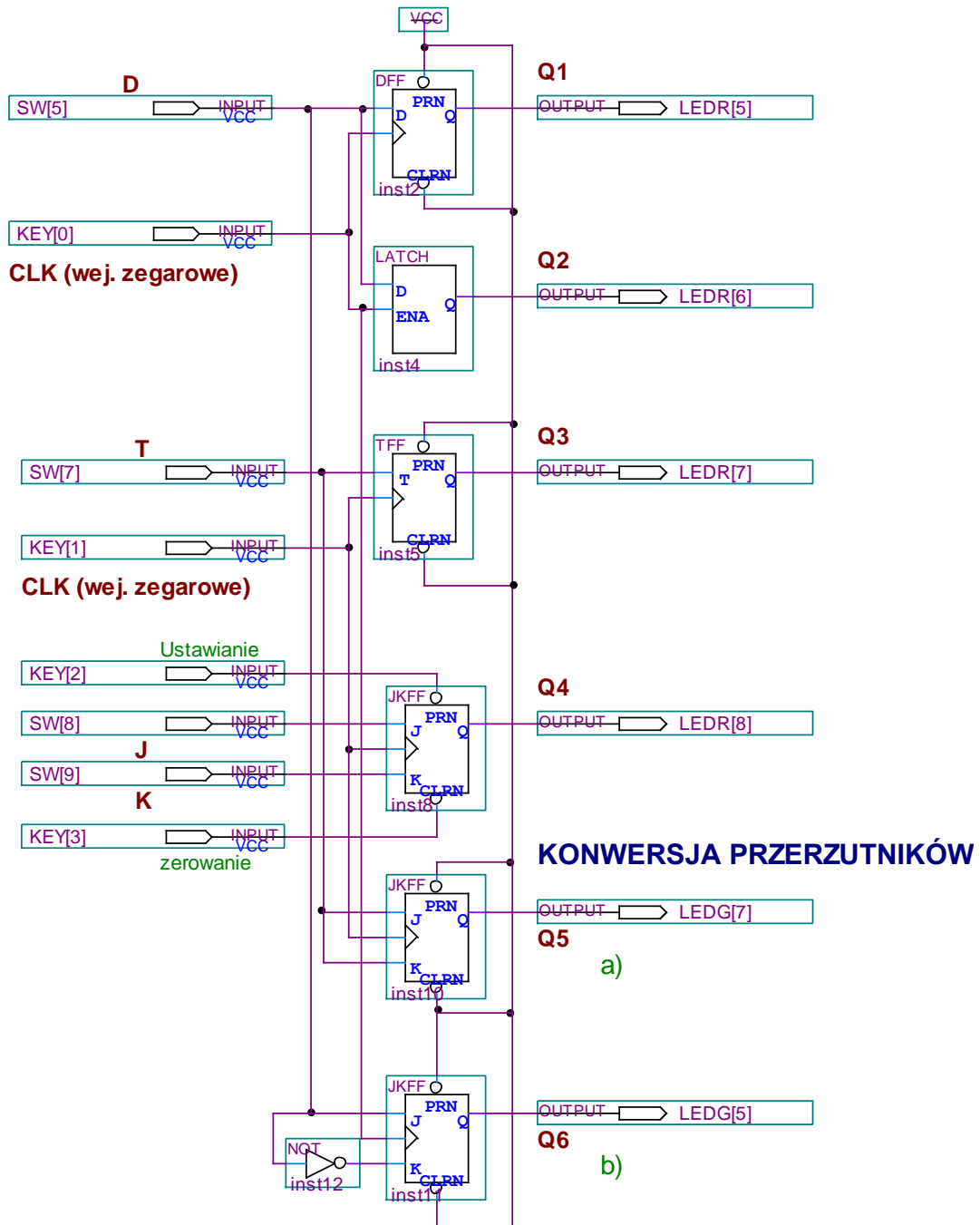
- Narysuj w programie Quartus II (w edytorze graficznym)
 - Przerzutniki asynchroniczne $RS \overline{RS}$ (rys. 1)
 - Przerzutniki synchroniczne: D , $D\text{Latch}$ (zatrzask) (rys. 2)
 - Przerzutniki synchroniczne: JK , T (rys. 2)

PRZERZUTNIKI ASYNCHRONICZNE



Rys. 1. Przerzutniki bistabilne. Schemat układu pomiarowego

PRZERZUTNIKI SYNCHRONICZNE



Rys. 2. Przerzutniki bistabilne. Schemat układu pomiarowego

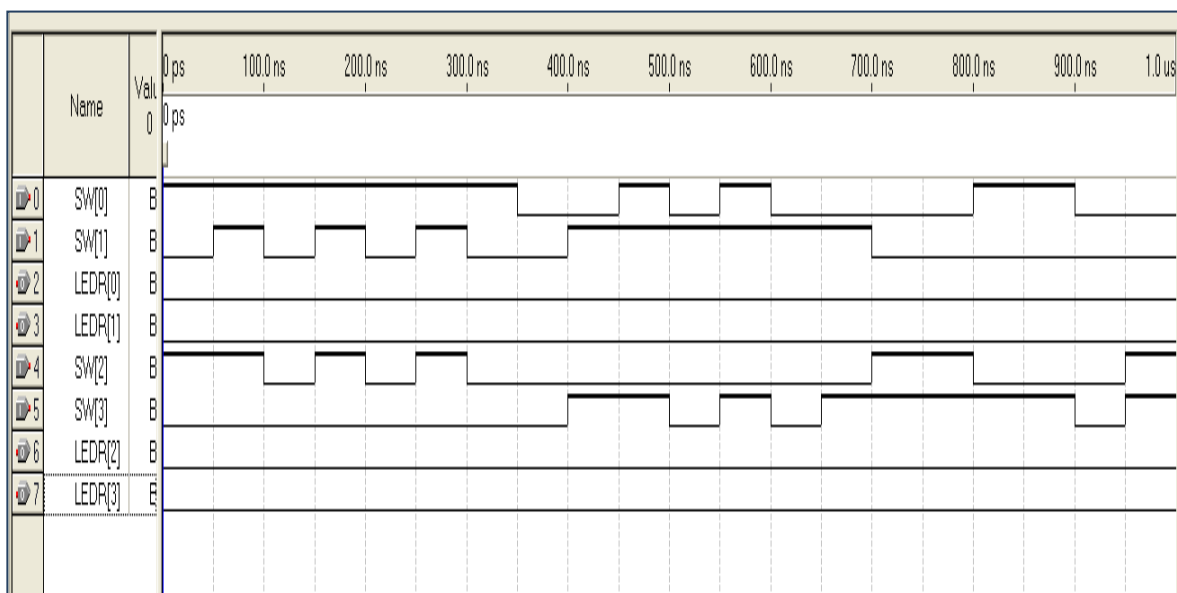
3.2. Badanie przerzutników asynchronicznych RS \overline{RS}

3.2.1. Uzpełnij tabele

Przerzutnik \overline{RS}					
Tabela charakterystyczna					
\overline{R}	\overline{S}	Q^{n+1}	\overline{Q}^{n+1}		
0	0	1	1		
0	1	0	1		
1	0	1	0		
1	1	Q^n	\overline{Q}^n		
Przerzutnik \overline{RS} jest aktywny stanem					
Stan $\overline{R} = 1, \overline{S} = 1$ nazywa się stanem					
Stan $\overline{R} = 0, \overline{S} = 0$ jest dla tego przerzutnika stanem					
Tabela przejść					
i	\overline{R}	\overline{S}	Q^n	Q^{n+1}	\overline{Q}^{n+1}
0	0	0	0		
1	0	0	1		
2	0	1	0		
3	0	1	1		
4	1	0	0		
5	1	0	1		
6	1	1	0		
7	1	1	1		

Przerzutnik RS					
Tabela charakterystyczna					
R	S	Q^{n+1}	\overline{Q}^{n+1}		
0	0	Q^n	\overline{Q}^n		
0	1	1	0		
1	0	0	1		
1	1	0	0		
Przerzutnik RS jest aktywny stanem					
Stan $R= 0, S= 0$ nazywa się stanem					
Stan $R = 1, S = 1$ jest dla tego przerzutnika stanem					
Tabela przejść					
i	R	S	Q^n	Q^{n+1}	\overline{Q}^{n+1}
0	0	0	0		
1	0	0	1		
2	0	1	0		
3	0	1	1		
4	1	0	0		
5	1	0	1		
6	1	1	0		
7	1	1	1		

3.2.2. Narysuj odpowiedzi przerzutników RS i \overline{RS} na zadane pobudzenia. **Opisz poszczególne sygnały.**



3.3. Badanie przerzutników synchronicznych typu *D*

Istnieją dwa rodzaje przerzutników typu *D*. Mogą być one wyzwalane:

- ✓ **DFF** z boczem
- ✓ **DLatch**

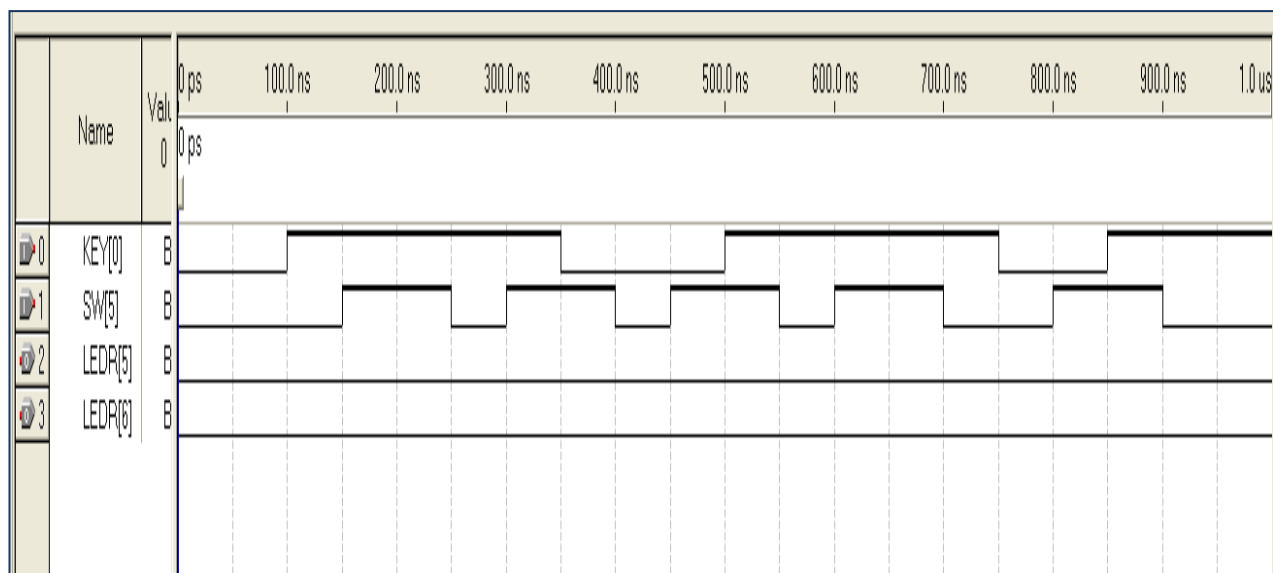
3.3.1. Działanie przerzutnika opisz za pomocą tabel: przejść, charakterystycznej i wzburzeń.

Tabela przejść			
D	Q^n	Q^{n+1}	\overline{Q}^{n+1}
0	0		
0	1		
1	0		
1	1		

Tabela charakterystyczna		
D	Q^{n+1}	\overline{Q}^{n+1}
0		
1		

Tabela wzburzeń		
Q^n	Q^{n+1}	D
0	0	
0	1	
1	0	
1	1	

3.3.2. Narysuj odpowiedzi przerzutników *D* i *DLatch* na zadane pobudzenia. **Opisz poszczególne sygnały**



3.4. Badanie przerzutników synchronicznych typu *JK* i *T*

Badane przerzutniki typu *JK* i *T* wyzwalane są:

- ✓ **JK** z boczem
- ✓ **T** z boczem

3.4.1. Działanie przerzutnika *JK* opisz za pomocą tabel: przejść, charakterystycznej i wzburzeń

Tabela przejść				
J	K	Q^n	Q^{n+1}	\overline{Q}^{n+1}
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

Tabela charakterystyczna			
J	K	Q^{n+1}	\overline{Q}^{n+1}
0	0		
0	1		
1	0		
1	1		

Tabela wzburzeń			
Q^n	Q^{n+1}	J	K
0	0		
0	1		
1	0		
1	1		

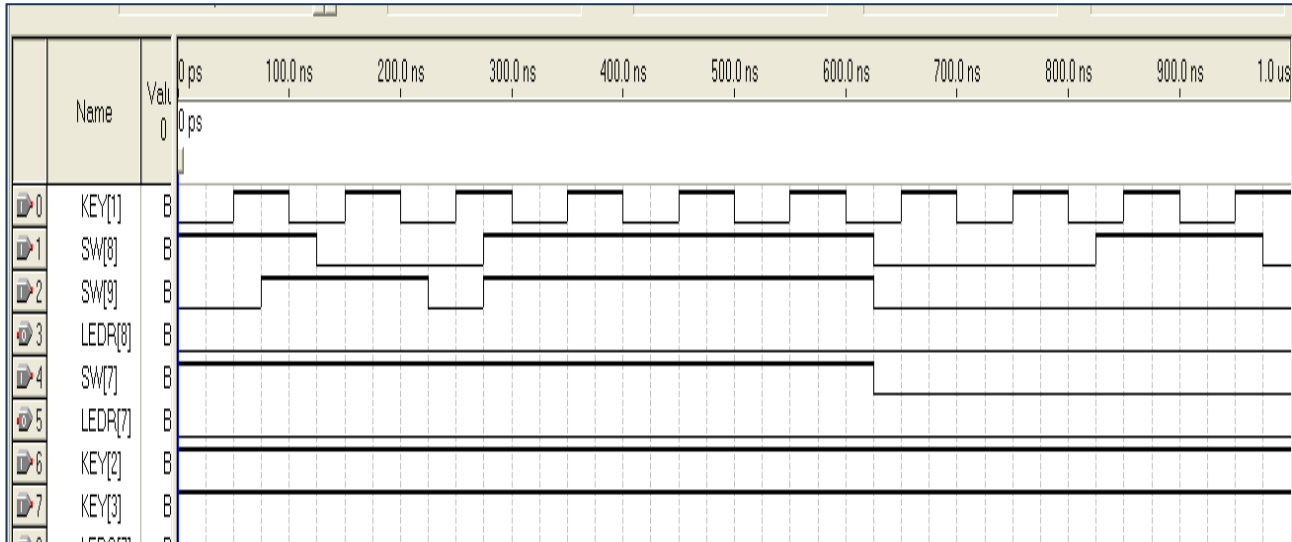
3.4.2. Działanie przerzutnika T opisz za pomocą tabel: przejść, charakterystycznej i wzburzeń

Tabela przejść			
T	Q^n	Q^{n+1}	\overline{Q}^{n+1}
0	0		
0	1		
1	0		
1	1		

Tabela charakterystyczna		
T	Q^{n+1}	\overline{Q}^{n+1}
0		
1		

Tabela wzburzeń		
Q^n	Q^{n+1}	T
0	0	
0	1	
1	0	
1	1	

3.4.3. Narysuj odpowiedzi przerzutników JK i T na zadane pobudzenia. **Opisz poszczególne sygnały**



3.4.4. Sprawdź oddziaływanie wejść asynchronicznych \overline{R} ($CLRN$ – zerowanie) i \overline{S} (PRN – ustawianie) na pracę przerzutnika synchronicznego JK

Wejścia te \overline{R} ($CLRN$ – zerowanie) i \overline{S} (PRN – ustawianie)

3.5. Konwersja przerzutników

Połącz przerzutniki JK zgodnie ze schematem przedstawionym na rys. 2. Narysuj te obwody poniżej. **Sprawdź jak działają przerzutniki w tych połączeniach.** Przedstaw tabelę charakterystyczną każdego z układów oraz narysuj odpowiedź układu na zadane pobudzenie

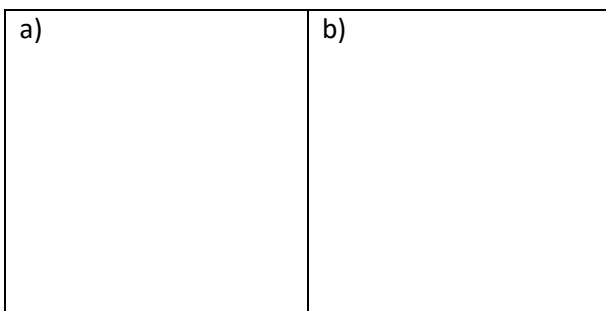
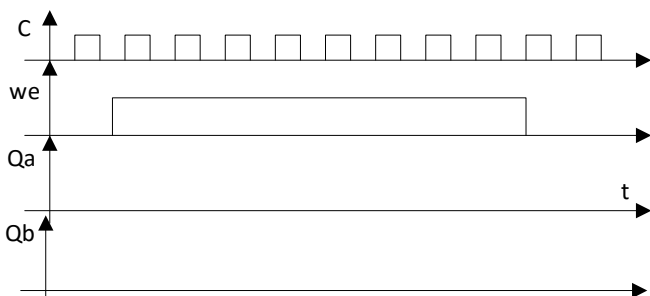


Tabela przejść			
		a)	b)
we	Q^n	Q^{n+1}	Q^{n+1}
0	0		
0	1		
1	0		
1	1		

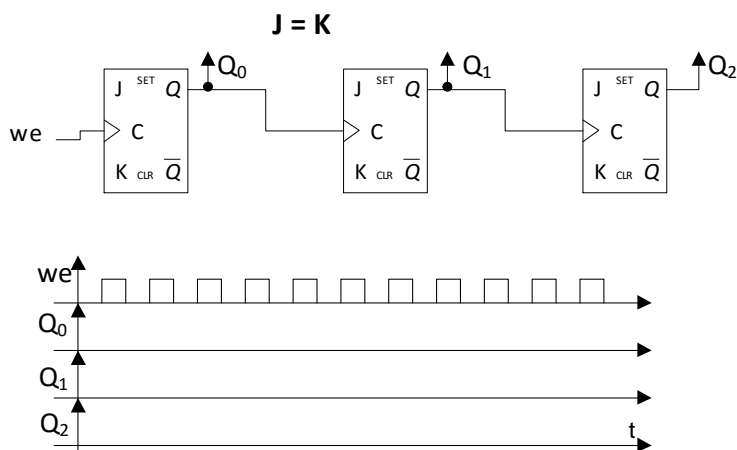
Tabela charakterystyczna		
	a)	b)
we	Q^{n+1}	Q^{n+1}
0		
1		



3.6. Zastosowania przerzutników

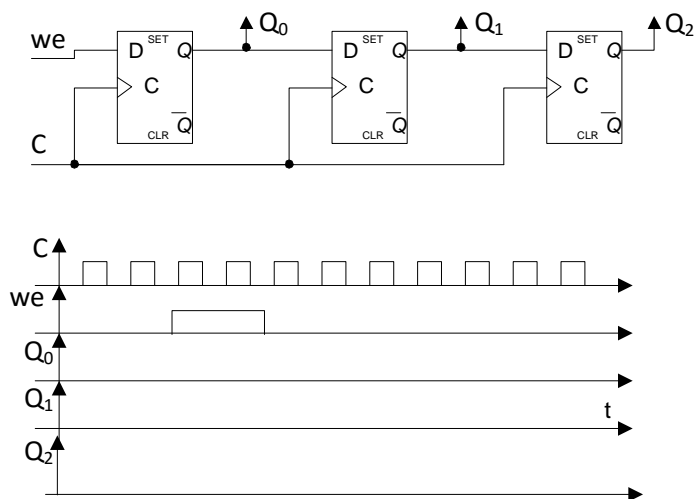
Zbudować następujące układy. Zbadać jakie funkcje realizują. Pracę układu przedstawić w tabeli i na diagramie czasowym.

a)



we	Q ₂	Q ₁	Q ₀
0	1	1	1
1			
2			
3			
4			
5			
6			
7			
8			

b)



we	Q ₂	Q ₁	Q ₀
0			
1			
2			
3			
4			
5			
6			
7			
8			

3.7. Wnioski

.....

.....

.....

.....

.....

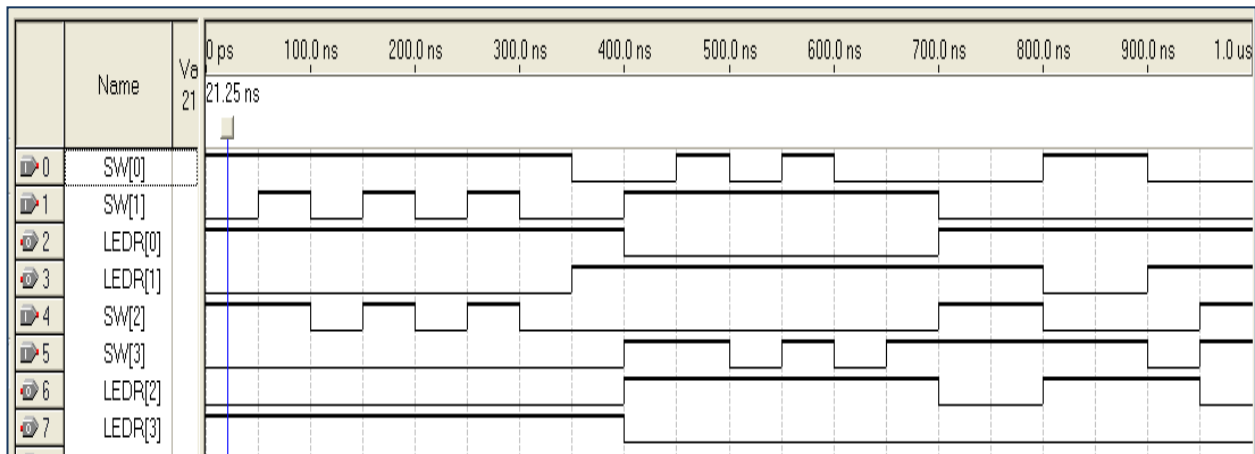
.....

.....

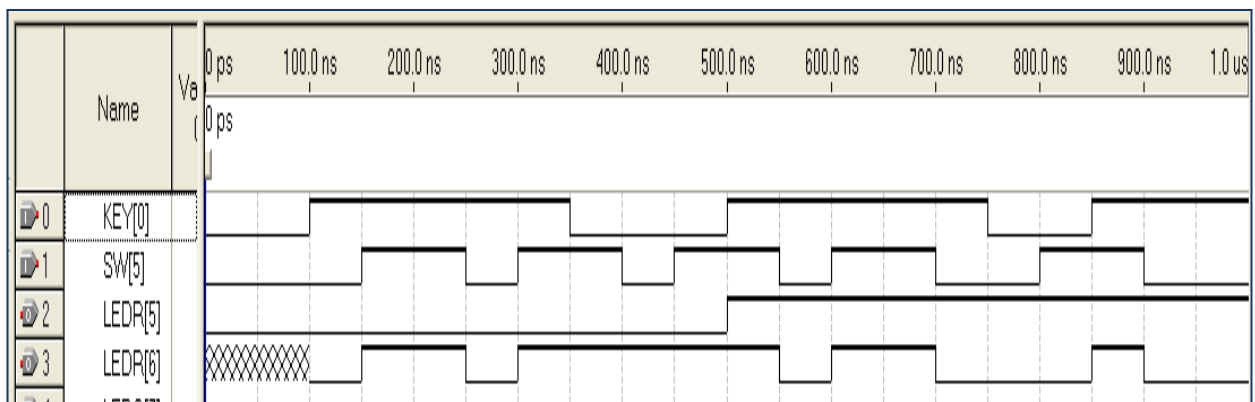
.....

4. Wyniki badań przerzutników bistabilnych

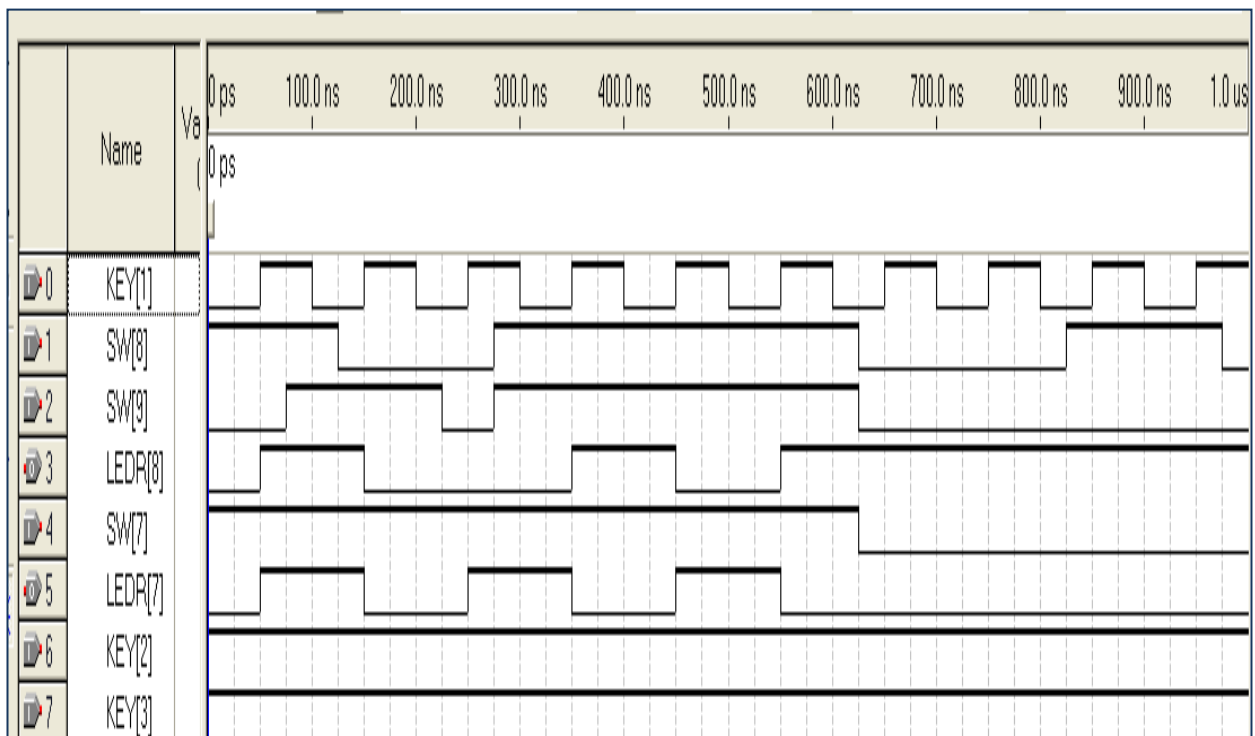
4.1. Przerzutniki $RS \overline{RS}$



4.2. Przerzutniki typu D



4.3. Przerzutniki typu JK i T



Imię i nazwisko:	Klasa:	Stanowisko:	Nr w dzienniku:
Skład grupy:.....			
Temat ćwiczenia: Badanie scalonych liczników asynchronicznych (szeregowych) i synchronicznych (równoległych)		Data:	
Przygotowanie do ćwiczenia	Wykonanie ćwiczenia	Sprawozdanie z ćwiczenia	
Pkt.:	Pkt.:	Pkt.:	
Suma punktów:			
Ocena z przeprowadzonego ćwiczenia:		Podpis nauczyciela:	

Przypomniano o stosowaniu zasad bezpiecznej pracy i przestrzeganiu instrukcji BHiP.

Zestaw przyrządów:

1. Celem ćwiczenia jest:

- poznanie zasady działania licznika asynchronicznego i licznika synchronicznego
- przedstawienie podstawowych rozwiązań scalonych liczników asynchronicznych i synchronicznych oraz wykorzystanie ich do budowy programowalnych liczników *modulo N* i dzielników częstotliwości

2. Wstęp teoretyczny

- **Podaj definicję licznika**

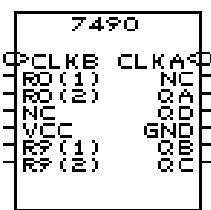
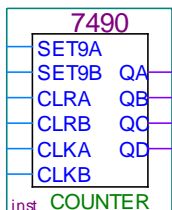
LICZNIKIEM nazywamy

- **Wyjaśnij podstawowe różnice pomiędzy licznikiem asynchronicznym i synchronicznym**

- **Wyjaśnij czym charakteryzuje się licznik *modulo N* i licznik *liczący do N***

3. Badanie licznika asynchronicznego 7490

Układ 7490 jest licznikiem dziesiętnym (dekadą). Zawiera on cztery przerzutniki synchroniczne typu MS, z których pierwszy (A) jest licznikiem **mod 2**, a trzy pozostałe (D, C, B) tworzą licznik **mod 5**. Wyjście pierwszego przerzutnika nie jest połączone wewnętrznie z wejściem następnego przerzutnika. Stwarza to następujące możliwości pracy licznika:



- jako dwa oddzielne liczniki: pierwszy **mod 2** z wejściem **A (CLK A)** i wyjściem **QA** oraz drugi **mod 5** z wejściem **B (CLK B)** i wyjściami **QD, QC, QB**
- jako licznik dziesiętny pracujący w kodzie **BCD – 8421**
- jako licznik dziesiętny pracujący w kodzie **5421**

Pracę licznika 7490 opisuje tabela

R0(1) CLRA	R0(2) CLR B	R9(1) SET9A	R9(2) SET9B	QD	QC	QB	QA
1	1	0	X	0	0	0	0
1	1	X	0	0	0	0	0
X	X	1	1	1	0	0	1
0	X	X	0	zliczanie			
0	X	0	X	zliczanie			
X	0	X	0	zliczanie			
X	0	0	X	zliczanie			

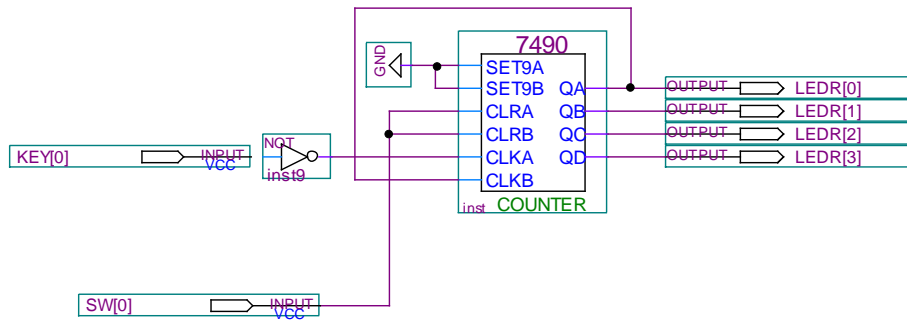
ZADANIA POMIAROWE

3.1. Zaprojektuj w edytorze graficznym programu Quartus II licznik asynchroniczny 7490.

Projekt nazwij *nr1_nr2_kl_L_asyn*

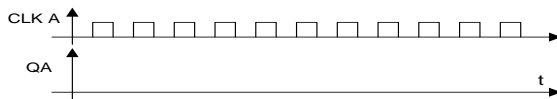
3.1.1.

Badanie licznika 7490 (DEKADY) pracującego w połączeniu "2" >> "5"



Zaimplementuj projekt w układzie FPGA i przeprowadź badania liczników. Wyniki badań zapisz w tabelach i narysuj przebiegi sygnałów na wejściach i wyjściach licznika.

3.1.2. Badanie licznika **mod2**

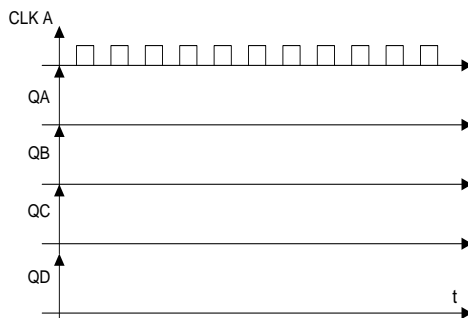


Pojemność licznika = (licznik mod).

Dzielnik częstotliwości przez, współczynnik wypełnienia $\delta = \dots\dots\dots$

CLK A KEY[0]	QA
0	0
1	
2	
3	

3.1.3. Badanie licznika **mod10**



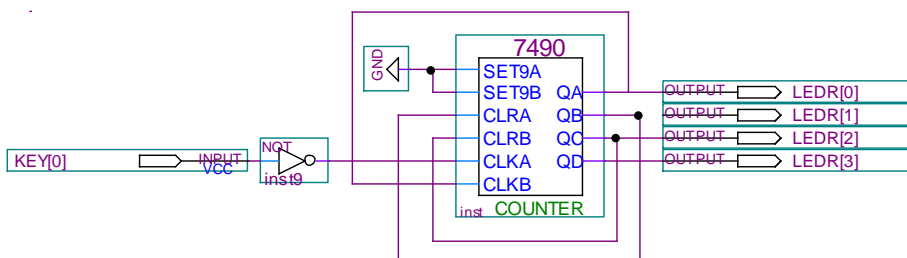
Pojemność licznika = (licznik **mod**).Dzielnik

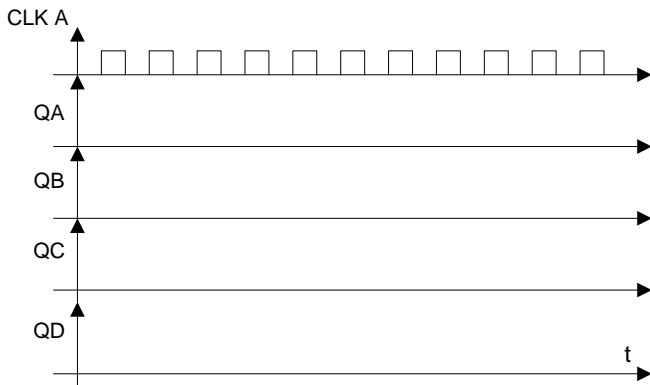
częstotliwości przez, współczynnik wypełnienia $\delta = \dots\dots\dots$

CLK A	QD	QC	QB	QA
0	0	0	0	0
1				
2				
3				
4				
5				
6				
7				
8				
9				
10				

3.1.4. **Sprawdź działanie wejść asynchronicznych zerujących [CLRA, R0(1) i CLRБ, R0(2)]**

Połącz układ zgodnie ze schematem

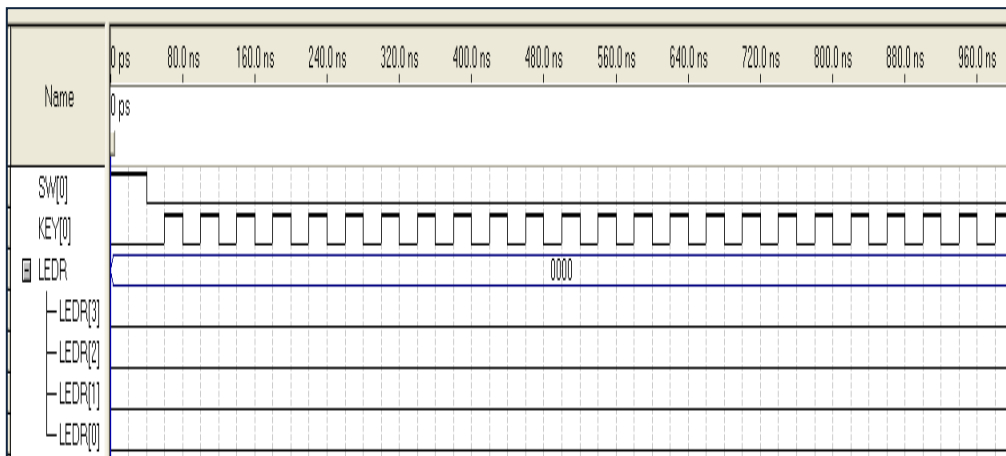




CLK A	QD	QC	QB	QA
0	0	0	0	0
1				
2				
3				
4				
5				
6				
7				
8				
9				
10				

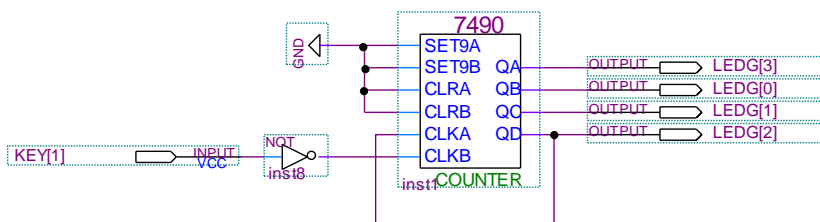
Pojemność licznika = (licznik **mod**). Dzielnik częstotliwości przez, współczynnik wypełnienia δ =

3.1.5. Symulacja pracy licznika mod w połączeniu "2 >> 5".
Narysuj przebiegi w układzie – opis sygnały.



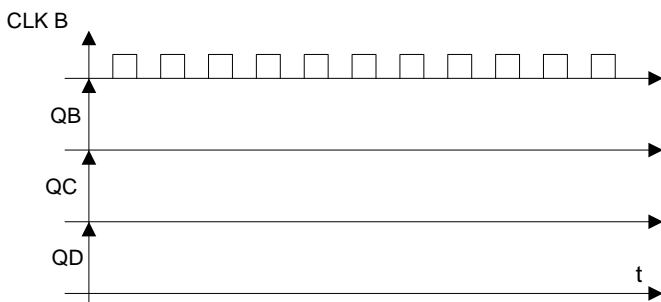
3.1.6.

Badanie licznika 7490 (DEKADY) pracującego w połączeniu "5" >> "2"



Zaimplementuj projekt w układzie FPGA i przeprowadź badania liczników. Wyniki badań zapisz w tabeli i narysuj przebiegi sygnałów na wejściach i wyjściach licznika.

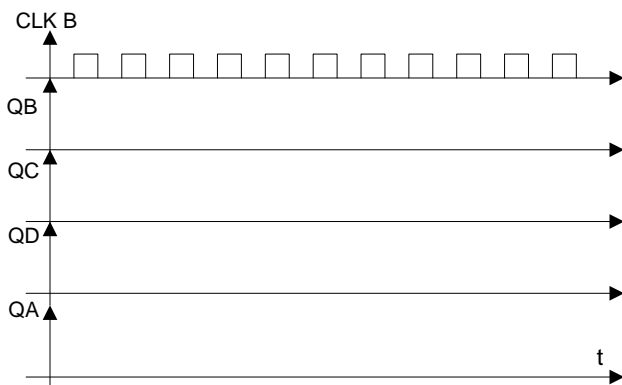
3.1.7. Badanie licznika mod5



CLK B	Q _D	Q _C	Q _B
0	0	0	0
1			
2			
3			
4			
5			
6			

Pojemność licznika = (licznik **mod**). Dzielnik częstotliwości przez, współczynnik wypełnienia δ =

3.1.8. Badanie licznika mod10

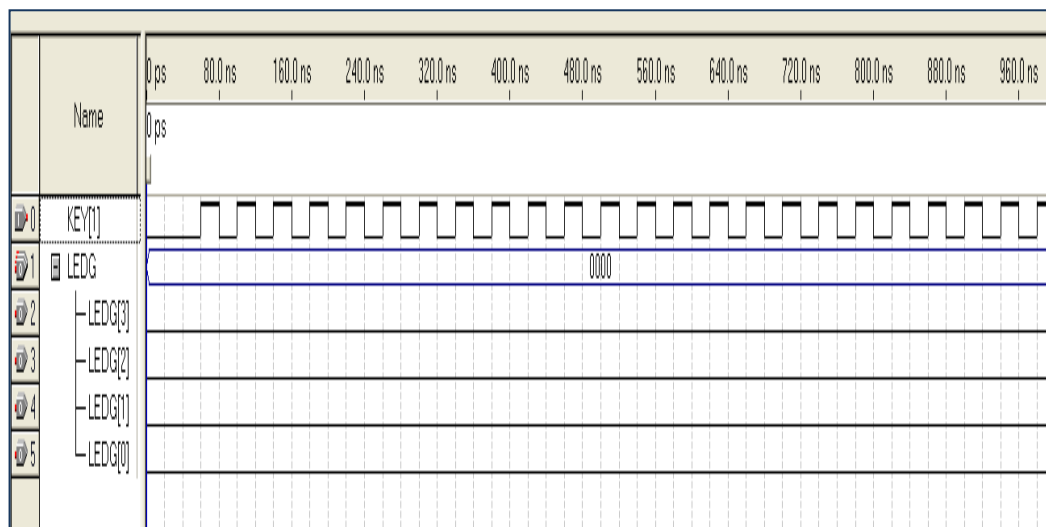


CLK B	QA	QD	QC	QB
0	0	0	0	0
1				
2				
3				
4				
5				
6				
7				
8				
9				
10				

Pojemność licznika = (licznik **mod**).Dzielnik częstotliwości przez,
współczynnik wypełnienia δ =

3.1.9. Symulacja pracy licznika mod w połączeniu "5 >> 2".

Narysuj przebiegi w układzie – opisz sygnały



3.1.10. Zadania uzupełniające

- Korzystając z układu **7490** zbudować licznik **do 9**, tzn. taki, który po zliczeniu 9 impulsów pozostanie w stanie **9 (1001)**.
- Z układu **7490** zbuduj dzielnik przez **7**, korzystając :
 - a) z licznika **mod 10** w połączeniu **mod 2 >> mod 5**,
 - b) z licznika **mod 10** w połączeniu **mod 5 >> mod 2**.
 Który z układów nie wymaga użycia dodatkowych elementów (bramek).
- Korzystając z układów **7490** narysuj licznik zliczający **mod 60**.

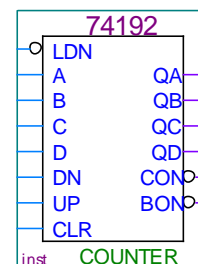
4. Wnioski

5. Badanie licznika synchronicznego '192, ('193)

Oba liczniki '192, ('193) są identycznie skonfigurowane. Różnią się pojemnością:

- '192 - ma pojemność 10
- '192 - ma pojemność 16

Oznaczenie końcówki	Funkcja
UP	Wejście zliczające
DN (DOWN)	Wejście zliczające
CLR	Wejście zerujące
A, B, C, D	Wejścia równoległe (wprowadzanie danych)
LDN(Load, \overline{LD} , \overline{L})	Wejście przepisujące – podanie 0 na to wejście powoduje wpisanie informacji z wejść D, C, B, A na odpowiednie wyjścia Q licznika
CLR (R)	Wejście zerujące – podanie 1 na to wejście powoduje wyzerowanie wyjść Q licznika
Q _A , Q _B , Q _C , Q _D	Wyjście
BON ($\overline{BO} P_{-}$) (<i>borrow</i>)	Wyjście pożyczki
CON ($\overline{CO} P_{+}$) (<i>Carry</i>)	Wyjście przeniesienia



Pracę licznika synchronicznego 74192 (74193) opisuje tabela

Wejścia licznika				Funkcja licznika
Count UP (C+)	Count DN (C-)	CLR (R) (zerowanie)	LDN (\overline{L})	
X	X	1	X	zerowanie
X	X	0	0	Wprowadzenie równoległe informacji z wej. A, B, C, D na odpowiadające wyjścia Q licznika
\square	X	0	1	Zliczanie w przód
1	\square	0	1	Zliczanie w tył

ZADANIA POMIAROWE

5.1. Część symulacyjna

5.1.1. Zaprojektuj w edytorze graficznym programu Quartus II licznik synchroniczny 74192 (74193) zgodnie ze schematem przedstawionym na rys.1.

Projekt nazwij *nr1_nr2_kl_L_syn*



5.1.2. Zarejestruj cykl pracy licznika dla obu kierunków zliczania (wraz z wyjściem przeniesienia *Carry* i pożyczki *Borrow*) i przedstaw na diagramie czasowym. **Zaznacz i opisz przedziały pracy licznika.**

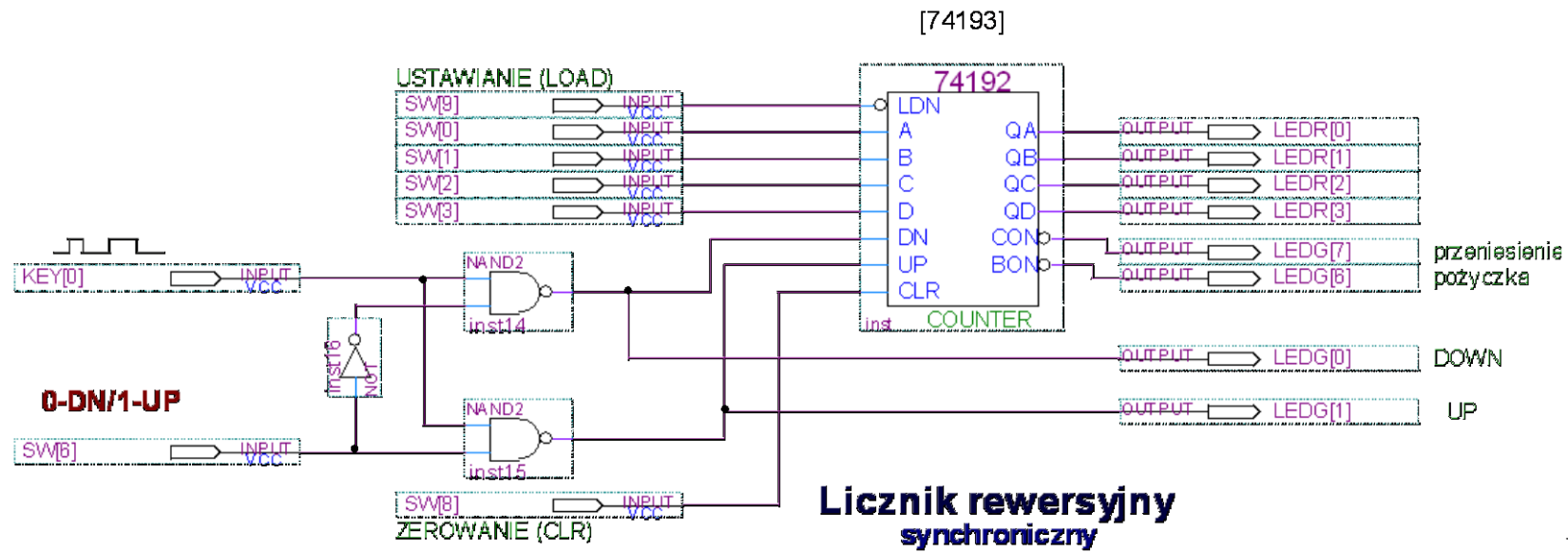
5.1.3. Określ typ wejść: zerującego *CLEAR* i ustawiającego *LOAD* licznika (synchroniczne czy asynchroniczne)

5.2. Część praktyczna

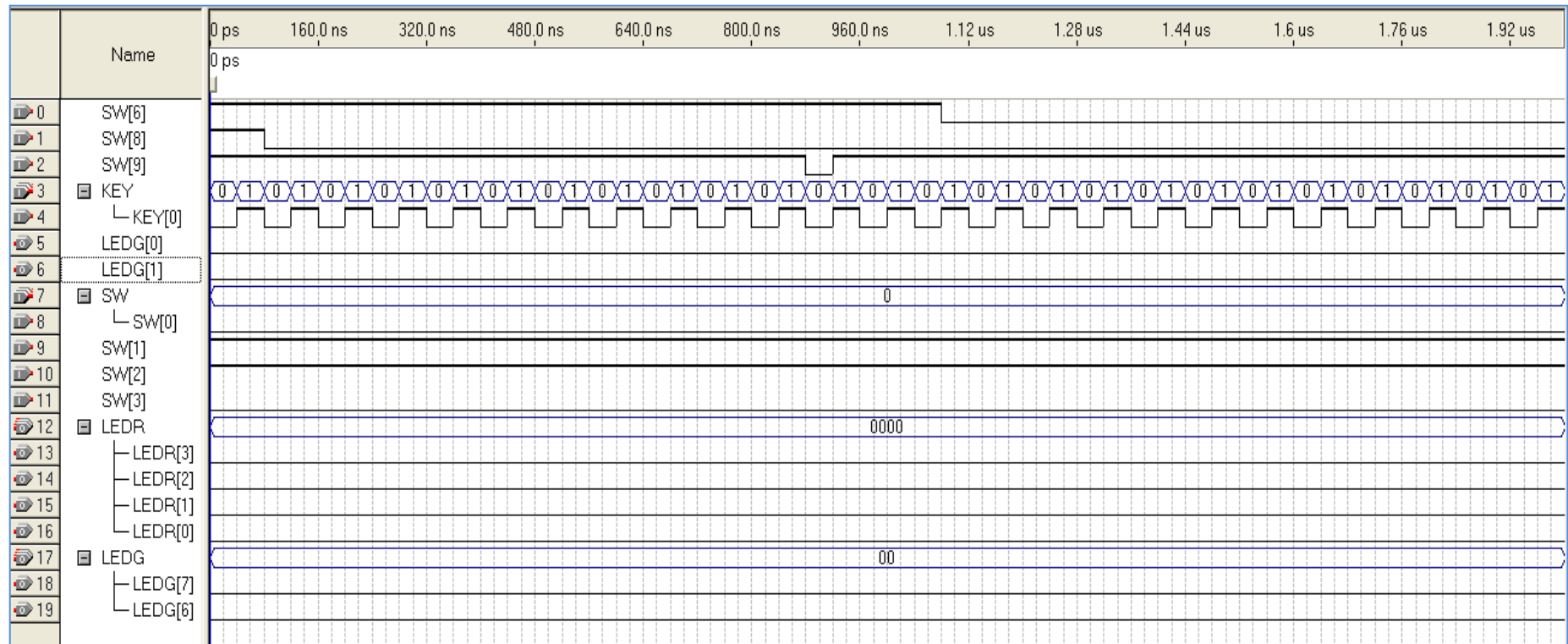
5.2.1. Zaimplementować projekt *nr1_nr2_kl_L_syn* w układzie FPGA w zestawie dydaktycznym DE_1 Altery.

5.2.2. Pracę licznika przedstawić w tabeli oraz narysować przebiegi czasowe na jego wyjściach (**opisać przedziały pracy licznika**)

Zliczanie w przód						Zliczanie w tył				
KEY[0] 	QD	QC	QB	QA		KEY[0] 	QD	QC	QB	QA
0	0	0	0	0		0	1	0	0	1
1						1				
2						2				
3						3				
4						4				
5						5				
6						6				
7						7				
8						8				
9						9				
10						10				
11						11				
12						12				
13						13				
14						14				
15						15				



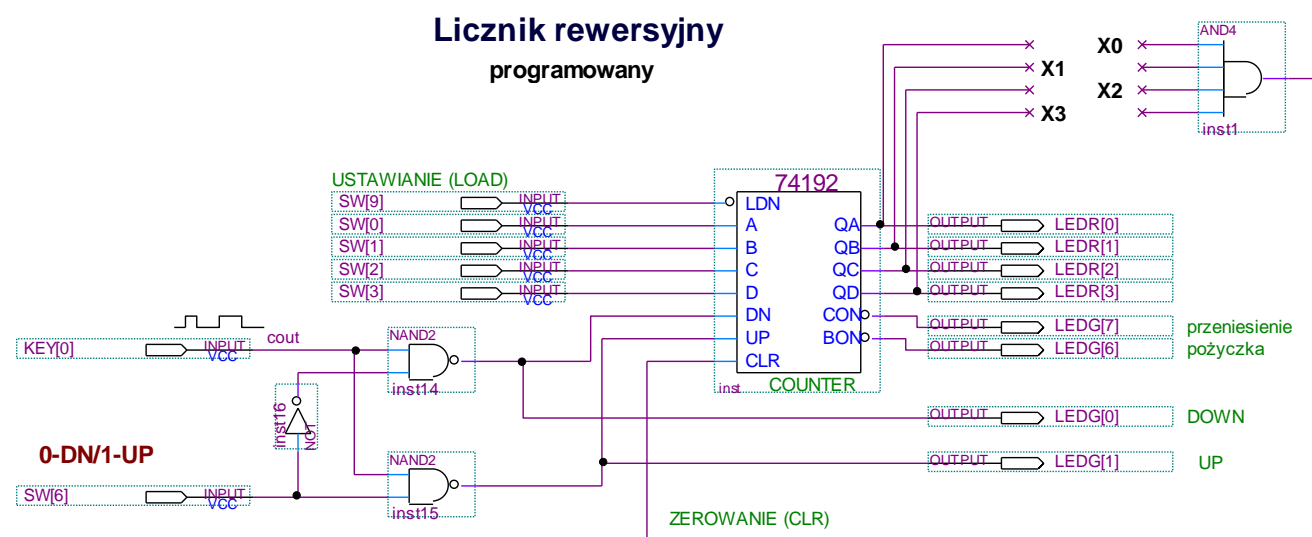
Rys.1.



5.2.3. Programowanie długości cyklu licznika

Zmiana pojemności licznika szeregowego może odbywać się w następujący sposób:

- ✓ przez skrócenie cyklu pracy przy zerowym warunku początkowym



Tablica ilustrująca programowanie licznika '193 ('192)

X3	X2	X1	X0	Pojemność licznika	Współczynnik podziału dzielnika
0	0	0	0	—	
0	0	0	Z	1	
0	0	z	0	2	
0	0	z	Z	3	
0	z	0	0	4	
0	z	0	z	5	
0	z	z	0	6	
0	z	z	z	7	
z	0	0	0	8	
z	0	0	z	9	
z	0	z	0	10	
z	0	z	z	11	
z	z	0	0	12	
z	z	0	z	13	
z	z	z	0	14	
z	z	z	z	15	
z – zwarte					
0 – rozwarte					

- ✓ przez zmianę warunku początkowego
- ✓ przez opuszczenie wybranych stanów wewnętrznych licznika

Ustalając statyczne stany na wejściach licznika z zerowaniem i wpisywaniem asynchronicznym '193 (lub '192), przeanalizować **operację wpisywania** oraz **zerowania** licznika.

5.2.4. Zadania projektowe

Zaprojektować następujące liczniki *mod N*, liczące:

- od stanu 0000 do stanu p
- od stanu q do stanu 1111
- od stanu q do stanu p
- od stanu 1111 do stanu q
- od stanu p. do stanu 0000
- od stanu p. do stanu q

UWAGA: $p > q$, $p = \dots\dots\dots$, $q = \dots\dots\dots$

- Narysować schemat zaprojektowanego układu. Pracę układu opisać przy pomocy tabeli stanów i diagramu czasowego. Określić pojemność licznika, współczynnik podziału częstotliwości oraz współczynnik wypełnienia δ .
- Zaprojektować licznik pracujący zgodnie z programem: $p \rightarrow q \rightarrow p \rightarrow q \rightarrow p \dots\dots\dots$

Wnioski:

Imię i nazwisko:	Klasa:	Stanowisko:	Nr w dzienniku:
Skład grupy:.....			
Temat ćwiczenia: Badanie rejestrów scalonych			Data:
Przygotowanie do ćwiczenia	Wykonanie ćwiczenia	Sprawozdanie z ćwiczenia	
Pkt.:	Pkt.:	Pkt.:	
Suma punktów:			
Ocena z przeprowadzonego ćwiczenia:			Podpis nauczyciela:

Przypomniano o stosowaniu zasad bezpiecznej pracy i przestrzeganiu instrukcji BHiP.

Zestaw przyrządów:

1. Cel ćwiczenia

Celem ćwiczenia jest przedstawienie podstawowych rozwiązań rejestrów scalonych uniwersalnych oraz ich zastosowań

2. Wstęp teoretyczny

- Podaj definicję rejestru

.....

- Jakiego rodzaju rejestrów i co jest kryterium ich podziału?

.....

- Zastosowania rejestrów:

.....

.....

3. Badanie rejestru 74194

Układ '194 jest uniwersalnym rejestrem 4 bitowym. W tabeli poniżej przedstawiono jakie funkcje i kiedy może realizować rejestr '194

CLRN zerowanie	CLK zegar	S0	S1	Realizowana funkcja
0	—	—	—	zerowanie rejestru
1	—	0	0	blokada pracy rejestru
1		1	0	przesuwanie w prawo z wpisaniem do przerzutnika A stanu wejścia SRSI (QA = SRSI)
1		0	1	przesuwanie w lewo z wpisaniem do przerzutnika D stanu wejścia SLSI (QD = SLSI)
1		1	1	wprowadzenie informacji z wejść równoległych ABCD na odpowiednie wyjścia Q, synchronizowane zegarem

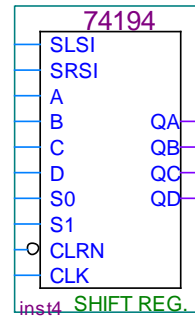
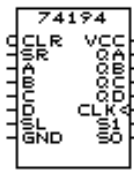
ZADANIA POMIAROWE

3.1. Zaprojektować w edytorze graficznym programu Quartus II rejestr 74194 zgodnie ze schematem przedstawionym na rysunku.

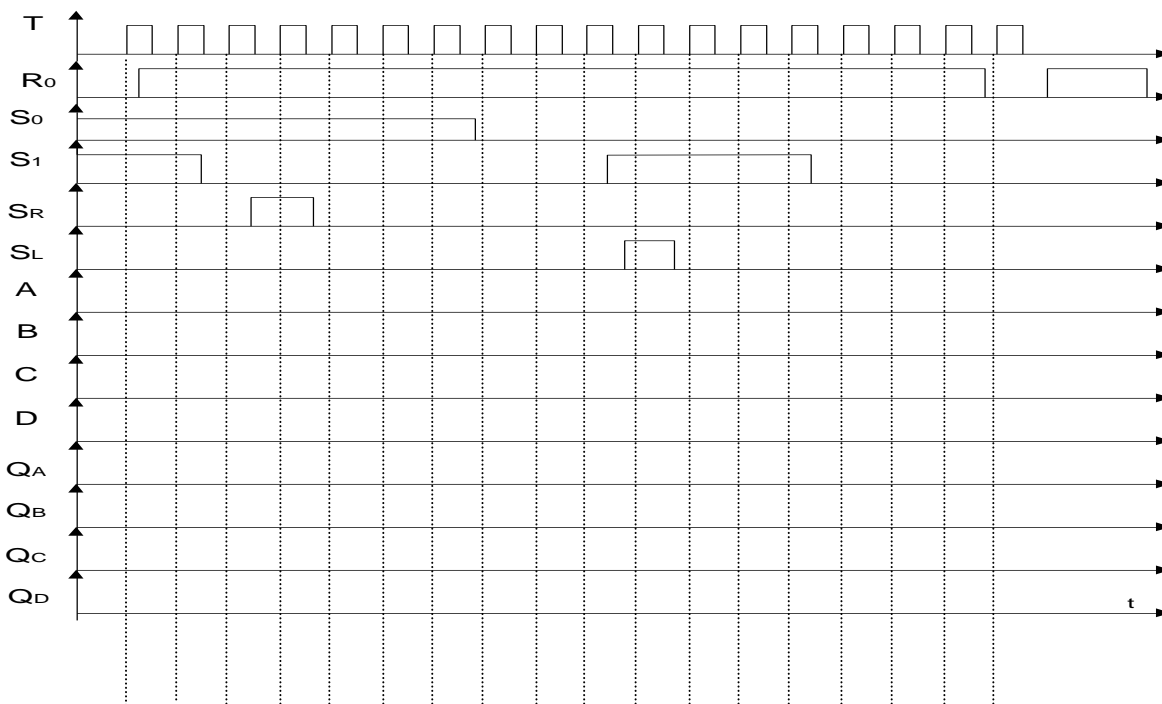
Nazwa projektu – *nr1_nr2_kl_Rejestr*

3.2. Zapoznać się (na podstawie katalogu) z budową i funkcjami realizowanymi przez rejestr '194. Sprawdzić czy rejestr poprawnie realizuje swoje funkcje. Wyniki badań zapisać w tabeli i przedstawić na diagramie czasowym.

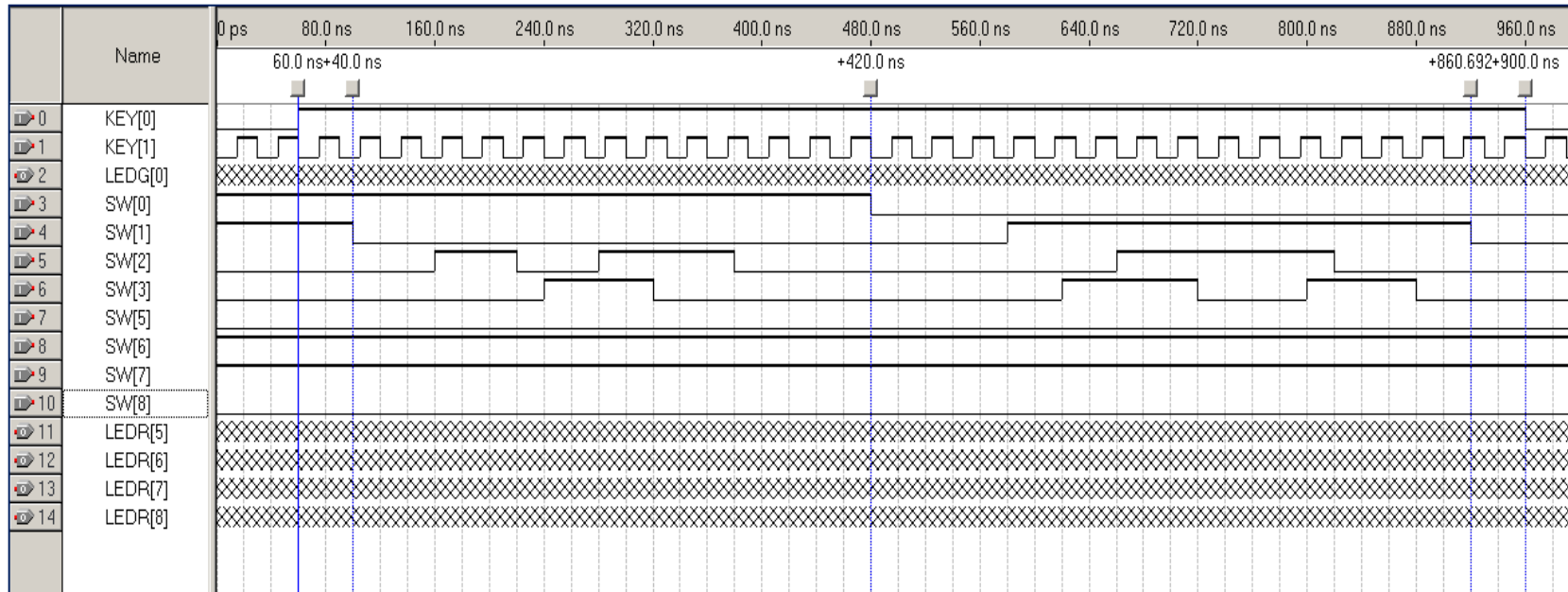
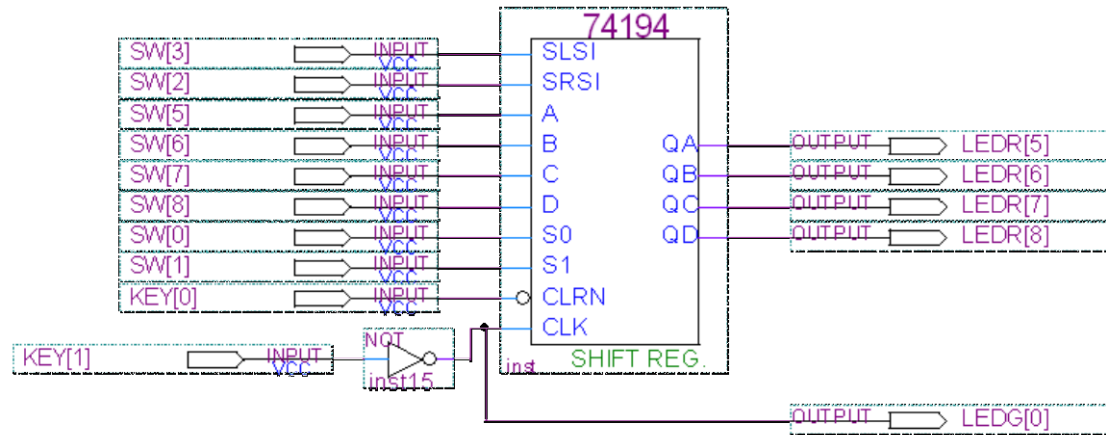
CLR = CLRN = R₀
CLK = T

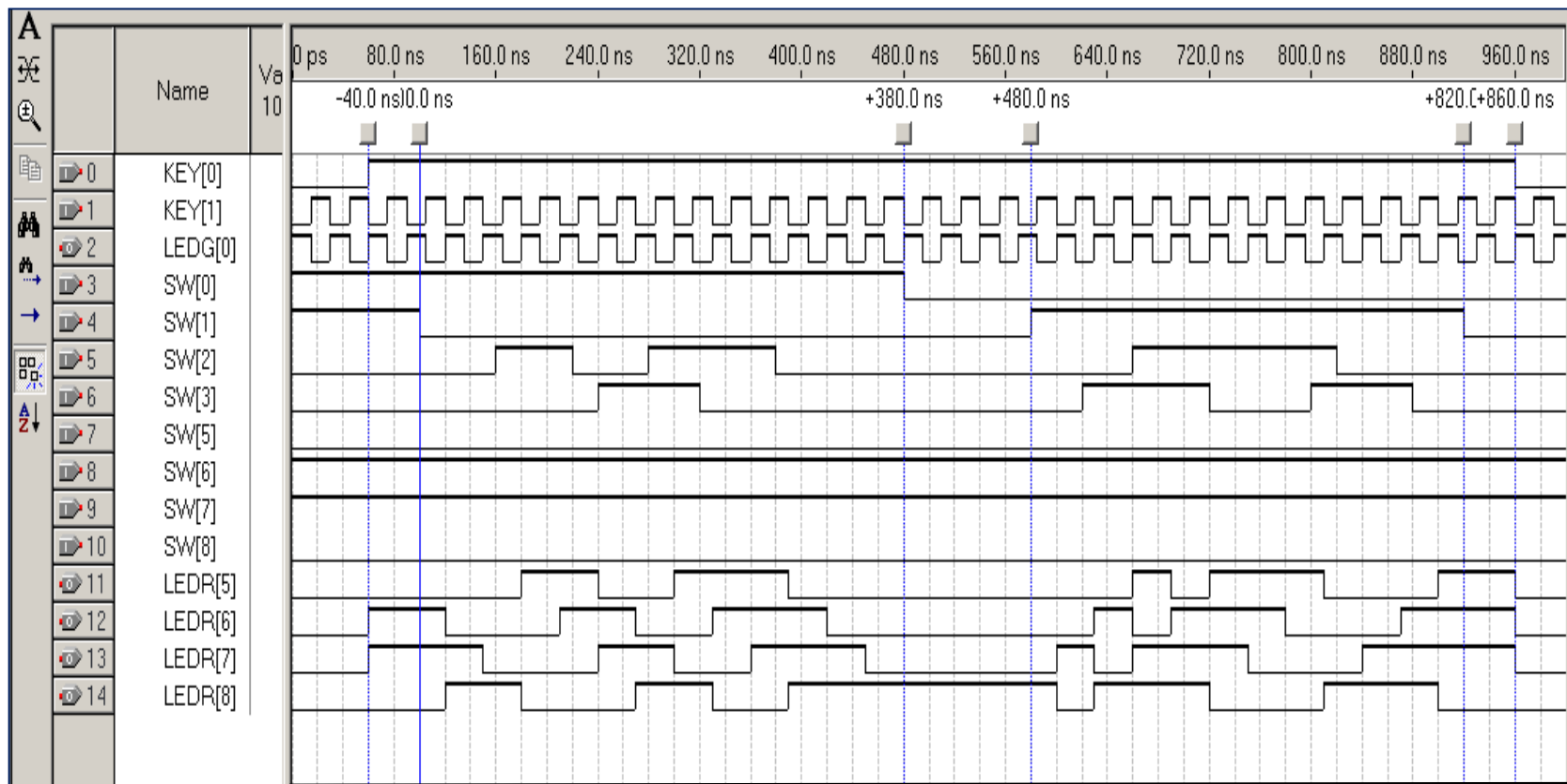


Wejścia										Wyjścia				Funkcje
R ₀	Rodzaj pracy		T	Szeregowe		Równoległe				Q _A	Q _B	Q _C	Q _D	
	S ₁	S ₀		S _L	S _R	A	B	C	D					
0	X	X	X	X	X	X	X	X	X	0	0	0	0	zerowanie
1	X	X	↑	X	X	X	X	X	X					
1	1	1	↑	X	X									wprowadz. równ.
1	0	1	↑	X	1	X	X	X	X					przesuw w prawo
1	0	1	↓	X	0	X	X	X	X					przesuw w prawo
1	1	0	↑	1	X	X	X	X	X					przesuw w lewo
1	1	0	↓	0	X	X	X	X	X					przesuw w lewo
1	0	0	X	X	X	X	X	X	X					blokada



BADANIE REJESTRU





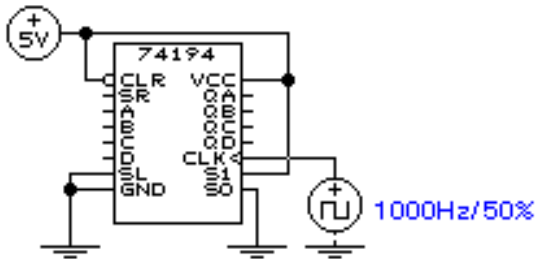
Opisz przedziały pracy rejestru

3.3. Zastosowanie rejestrów

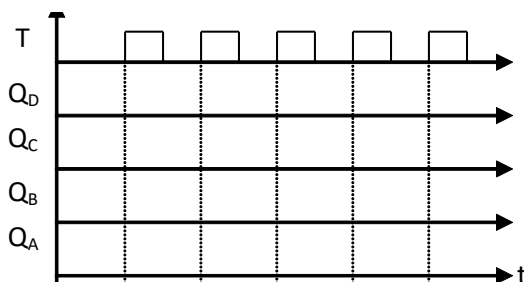
3.3.1. Badanie rejestrów przesuujących

Sprawdzić na kilku przykładach, czy rejestr realizuje poprawnie operacje mnożenia i dzielenia przez potęgi liczby 2. Wyjaśnić przyczynę powstawania błędów.

◆ Operacja mnożenia



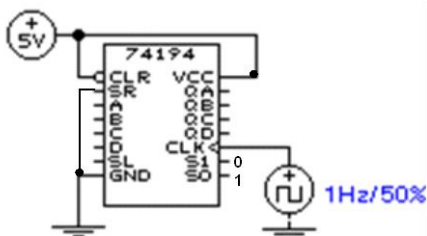
T	Q _A	Q _B	Q _C	Q _D	Liczba DEC
0					
1					
2					
3					
4					
5					



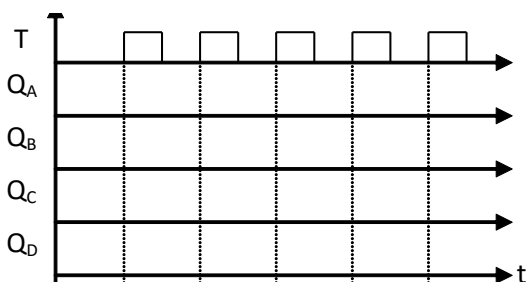
Kolejność postępowania:

1. wprowadzenie liczby – $S_0=1, S_1=1$
2. ustawienie rejestru
 - do przesuwu w lewo $S_0=0, S_1=1$
 - $S_L=0$
3. Taktowanie pracy rejestru

◆ Operacja dzielenia



T	Q _A	Q _B	Q _C	Q _D	Liczba DEC
0					
1					
2					
3					
4					
5					

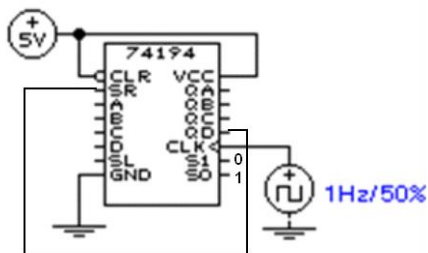


Kolejność postępowania:

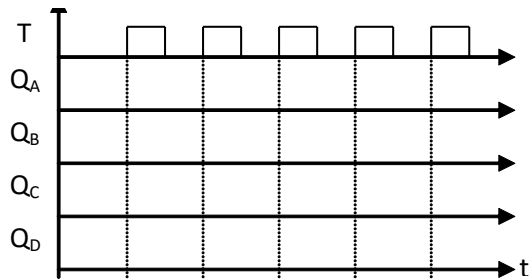
1. wprowadzenie liczby – $S_0=1, S_1=1$
2. ustawienie rejestru
 - do przesuwu w prawo $S_0=1, S_1=0$
 - $S_R=0$
3. Taktowanie pracy rejestru

3.3.2. Badanie rejestrów cyklicznych (pierścieniowych)

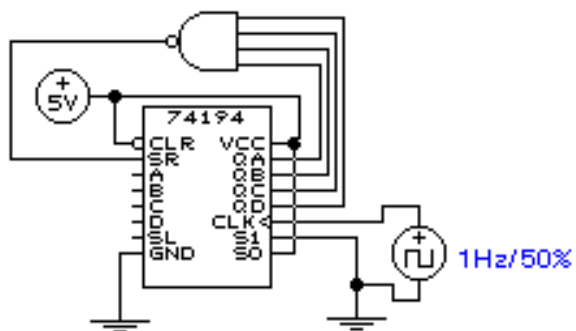
- ◆ Połączyć rejestr cykliczny przesuwający wpisaną informację cyfrową w prawo (lewo)



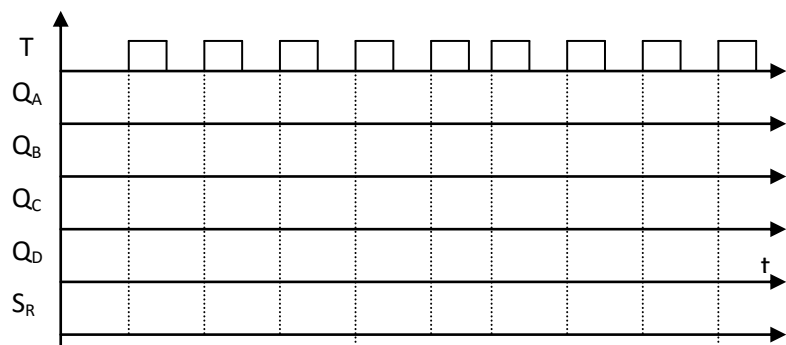
T	Q _A	Q _B	Q _C	Q _D
0				
1				
2				
3				
4				
5				



- ◆ Połączyć i zbadać rejestr pierścieniowy samokorygujący

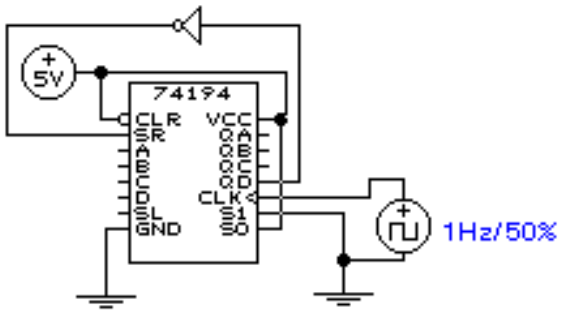


T	S _R	Q _A	Q _B	Q _C	Q _D
0	1	0	0	0	0
1					
2					
3					
4					
5					
6					
7					
8					
9					

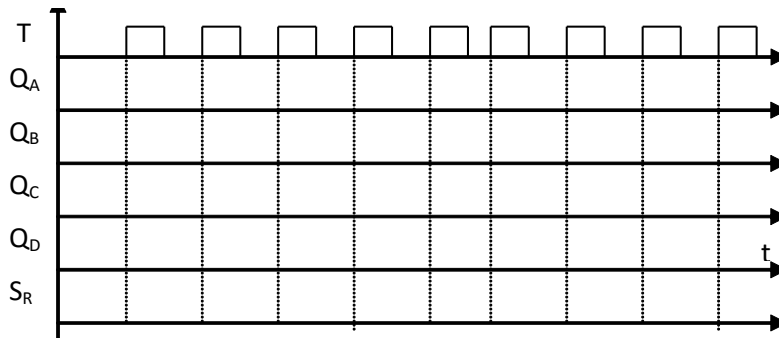


3.3.3. Badanie licznika Johnsona

Połączyć licznik Johnsona. Pracę licznika przedstawić w tabeli stanów i na diagramie czasowym.

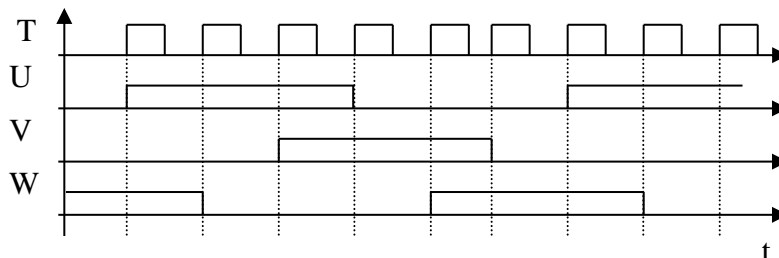


T	S _R	Q _A	Q _B	Q _C	Q _D
0	1	0	0	0	0
1					
2					
3					
4					
5					
6					
7					
8					
9					



Licznik Johnsona może pełnić funkcję.....

- ♦ W oparciu o licznik Johnsona zrealizować układ generujący przebiegi trójfazowe. Pracę układu opisać przy pomocy tabeli stanów.



4. Wnioski



5. ZADANIE KONTROLNE

5.1. Zaprojektować w edytorze graficznym programu Quartus II układ przedstawiony na rys. schematem przedstawionym na rys. 1.















Nazwa projektu – *nr1_nr2_kl_US*

5.2. Zaimplementować projekt w układzie FPGA w zestawie dydaktycznym DE_1 Altery.

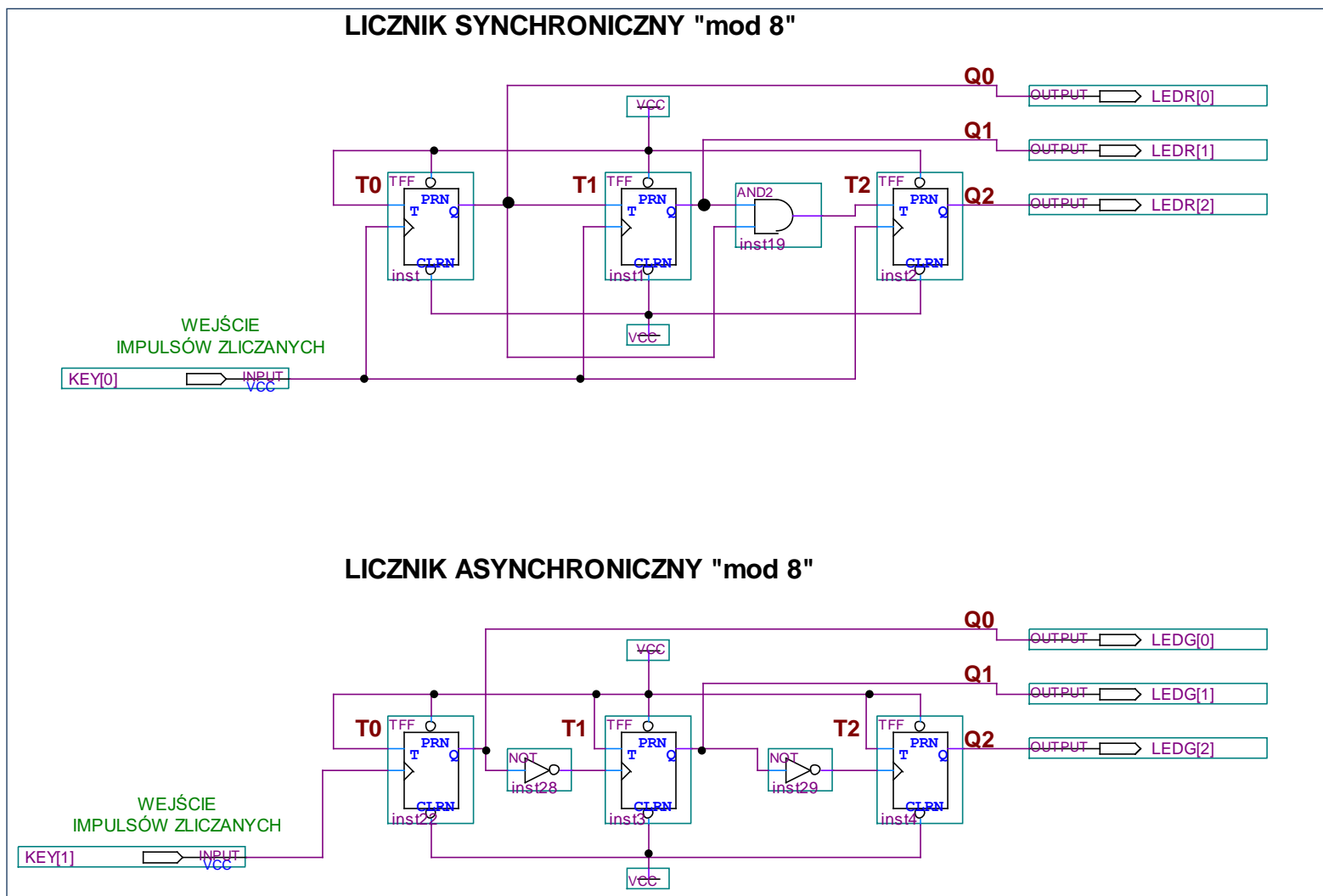
5.3. Pracę liczników przedstawić w tabeli

Licznik synchroniczny				Licznik asynchroniczny			
KEY[0] 	Q2 LEDR[2]	Q1 LEDR[1]	Q0 LEDR[0]	KEY[1] 	Q2 LEDG[2]	Q1 LEDG[1]	Q0 LEDG[0]
0	0	0	0	0	0	0	0
1				1			
2				2			
3				3			
4				4			
5				5			
6				6			
7				7			
8				8			
9				9			
10				10			
11				11			
12				12			
13				13			
14				14			
15				15			

◆ Przedstawić pracę zaprojektowanego układu na diagramie czasowym.

	T															t
																t
Licznik synchron.	Q ₀															t
	Q ₁															t
	Q ₂															t
Licznik asynchron.	Q ₀															t
	Q ₁															t
	Q ₂															t

6. WNIOSKI



Rys. 1

